

SMD-1G48

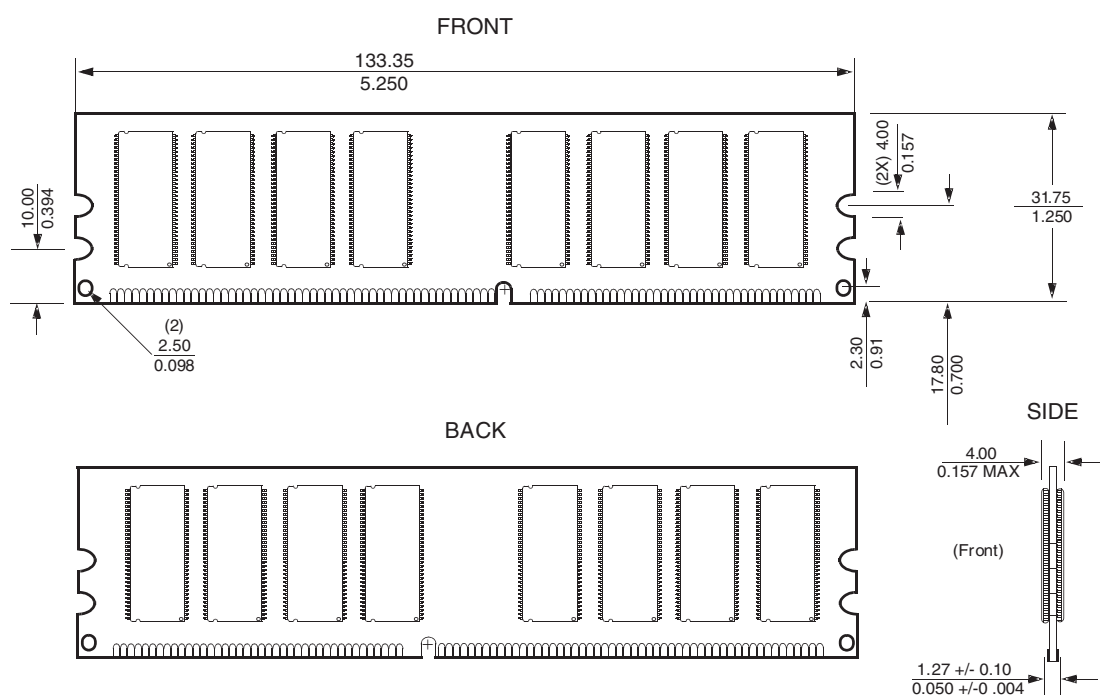
DESCRIPTION

SMD - 1 G 4 8 は、5 1 2 M ビット DDR ・ D R A M (6 4 M x 8 b i t) を 1 6 個 搭 載 し た 1 2 8 M x 6 4 ビット DDR ・ D R A M モジュールです。

FEATURES

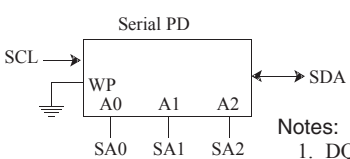
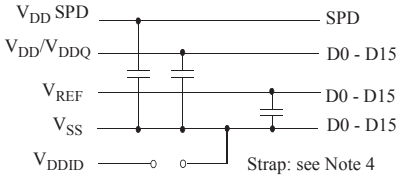
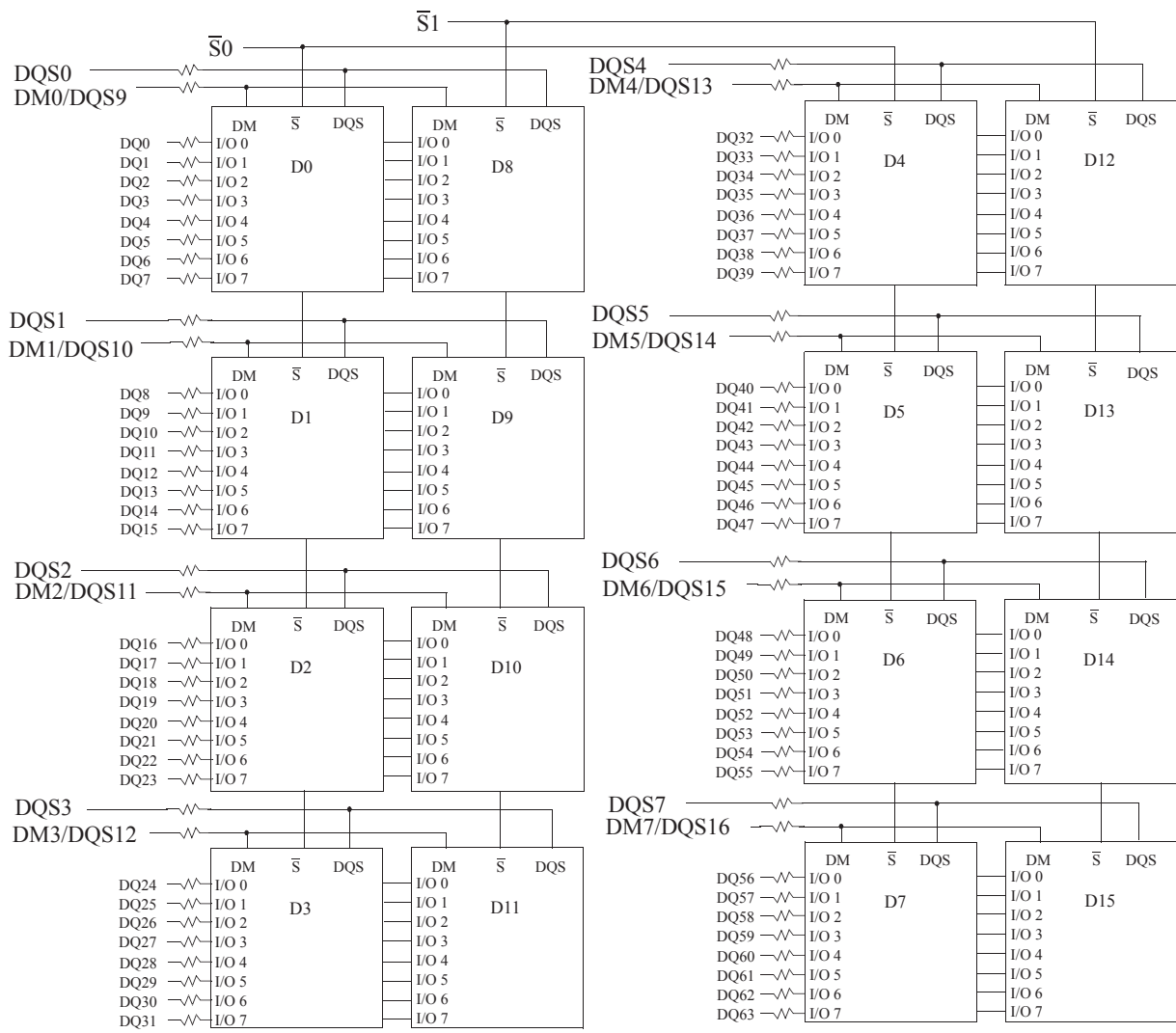
- ・ 1 8 4 ピン ・ デュアル ・ インライン ・ メモリ ・ モジュール
(ピン・ピッチ 1.27mm)
- ・ 基板高 1.25 "(31.75mm)
- ・ CL - t R C D - t R P = 3 - 3 - 3 (P C 3 2 0 0) 2.5 - 3 - 3 (P C 2 7 0 0 / P C 2 1 0 0)
- ・ 2.6V ± 0.1V 単一電源 (P C 3 2 0 0) 2.5V ± 0.2V (P C 2 7 0 0 / P C 2 1 0 0)
- ・ 8, 192 リフレッシュ / 64ms
- ・ SSTL_2 コンパチブル
- ・ /CAS レイテンシー 3.0, 2.5, 2.0 クロックプログラマブル (P C 3 2 0 0)
- ・ " 2.5, 2.0 クロックプログラマブル (P C 2 7 0 0 / P C 2 1 0 0)
- ・ 2バンク構成
- ・ アンバッファードタイプ
- ・ シリアル P D
- ・ 接続端子 : 電解金メッキ (t 0.76 μ m)

Outline Drawing



Note: All dimensions are typical unless otherwise stated $\frac{\text{millimeters}}{\text{inches}}$

Functional Block Diagram



- Notes:**
1. DQ-to-I/O wiring is shown as recommended but may be changed.
 2. DQ/DQS/DM/CKE/S relationships must be maintained as shown.
 3. DQ, DQS, DM/DQS resistors: 22 ohms ± 5%.
 4. VDDID strap connections (for memory device VDD, VDDQ):
STRAP OUT (OPEN): VDD = VDDQ
STRAP IN (VSS): VDD ≠ VDDQ
 5. BAX, AX, RAS, CAS, WE resistors: 3 ohms ± 5%
(Except PC2100)

- BA0 - BA1 → BA0-BA1: SDRAMs D0 - D15
- A0 - A12 → A0-A12: SDRAMs D0 - D15
- CKE1 → CKE: SDRAMs D8 - D15
- RAS → RAS: SDRAMs D0 - D15
- CAS → CAS: SDRAMs D0 - D15
- CKE0 → CKE: SDRAMs D0 - D7
- WE → WE: SDRAMs D0 - D15

* Clock Wiring	
Clock Input	SDRAMs
*CK0/CK0	4 SDRAMs
*CK1/CK1	6 SDRAMs
*CK2/CK2	6 SDRAMs

* Wire per Clock Loading Table/Wiring Diagrams